



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年12月10日

出願番号

Application Number:

平成10年特許願第351779号

出願人

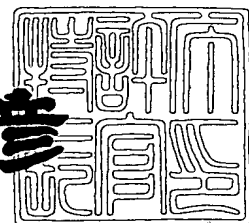
Applicant (s):

三洋電機株式会社

2000年 1月 7日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3092021

【書類名】 特許願

【整理番号】 KIA0980196

【提出日】 平成10年12月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置とその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 赤石 由美子

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 菊地 修一

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100076794

【弁理士】

【氏名又は名称】 安富 耕二

【連絡先】 電話 03-5684-3268 知的財産部駐在

【選任した代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702954

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されており、前記チャンネル領域及びドレイン領域間にドリフト領域が形成されて成る第 1 の MOS トランジスタと、ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されて成る第 2 の MOS トランジスタとを有する半導体装置において、

前記第 1 の MOS トランジスタ内のドリフト領域が少なくとも前記ゲート電極下では浅く、かつ前記ドレイン領域近傍では深く形成されていることを特徴とする半導体装置。

【請求項 2】 ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されており、前記チャンネル領域及びドレイン領域間にドリフト領域が形成されて成る第 1 の MOS トランジスタと、ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されて成る第 2 の MOS トランジスタとを有する半導体装置において、

前記第 2 の MOS トランジスタのソース・ドレイン領域が、低濃度ソース・ドレイン領域と、高濃度ソース・ドレイン領域と、低濃度ソース・ドレイン領域よりも高く高濃度ソース・ドレイン領域よりも低い中濃度のソース・ドレイン領域とで形成されていることを特徴とする半導体装置。

【請求項 3】 第 1 導電型の半導体基板上に第 1 の MOS トランジスタ及び第 2 の MOS トランジスタとが形成された半導体装置において、

前記第 1 の MOS トランジスタは、前記基板内に形成された第 1 導電型ウエル領域と、

前記第 1 導電型ウエル領域上に第 1 のゲート絶縁膜を介して形成された第 1 のゲート電極と、

前記第 1 のゲート電極に隣接するように形成された第 1 導電型ボディー領域と

前記第1導電型ボディー領域内に形成された第2導電型のソース領域並びにチャンネル領域と、

前記第1導電型ボディー領域と離間された位置に形成された第2導電型のドレイン領域と、

前記チャンネル領域から前記ドレイン領域にかけて、少なくとも前記第1のゲート電極下では浅く、かつドレイン領域近傍では深く形成された第2導電型のドリフト領域とから構成され、

前記第2のMOSトランジスタは、前記基板内に形成された第2電型ウェル領域と、

前記第2電型ウェル領域上に第2のゲート絶縁膜を介して形成された第2のゲート電極と、

前記第2のゲート電極に隣接するように低濃度ソース・ドレイン領域と、高濃度ソース・ドレイン領域と、低濃度ソース・ドレイン領域よりも高く高濃度ソース・ドレイン領域よりも低い中濃度のソース・ドレイン領域とから構成されていることを特徴とする半導体装置。

【請求項4】 前記第1のMOSトランジスタがNチャンネル型のLD MOSトランジスタで、前記第2のMOSトランジスタがPチャンネル型の高耐圧MOSトランジスタであることを特徴とする請求項1あるいは請求項2あるいは請求項3に記載の半導体装置。

【請求項5】 ソース領域及びチャンネル領域が形成されるボディー領域、このボディー領域から離間されたドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されており、前記チャンネル領域及びドレイン領域間にドリフト領域が形成されて成る第1のMOSトランジスタと、ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されて成る第2のMOSトランジスタとを有する半導体装置の製造方法において、

前記第2のMOSトランジスタのソース・ドレイン領域の形成工程が、少なくとも前記第1のMOSトランジスタのボディー領域の形成工程と同一工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 ソース領域及びチャネル領域が形成されるボディー領域、このボディー領域から離間されたドレイン領域を有し、更に前記チャネル領域上にゲート電極が形成されており、前記チャネル領域及びドレイン領域間にドリフト領域が形成されて成る第1のMOSトランジスタと、ソース領域、チャネル領域及びドレイン領域を有し、更に前記チャネル領域上にゲート電極が形成されて成る第2のMOSトランジスタとを有する半導体装置の製造方法において、

前記第2のMOSトランジスタのソース・ドレイン領域の形成工程が、少なくとも前記ドリフト領域の形成工程と同一工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 第1導電型の半導体基板上に第1のMOSトランジスタ及び第2のMOSトランジスタとが形成された半導体装置の製造方法において、

第1導電型ウエル領域及び第2導電型ウエル領域が形成された第1導電型の半導体基板上の前記第1導電型ウエル領域上の一部に開口部を有するホトレジスト膜を形成した後に、このホトレジスト膜をマスクにして拡散係数の異なる2種類の第2導電型不純物をイオン注入する工程と、

前記基板上のある領域に耐酸化性膜を形成した後にこの耐酸化性膜をマスクに選択酸化してLOCOS酸化膜を形成すると共に、2種類の第2導電型不純物のそれぞれの拡散係数の差から前記第1導電型ウエル領域内の比較的深い位置及び比較的基板表層のそれぞれに低濃度の第2導電型層を形成する工程と、

前記第1導電型ウエル領域内のソース形成領域上及び前記第2導電型ウエル領域内のソース・ドレイン形成領域上に開口部を有するホトレジスト膜をマスクにして第1導電型ウエル領域内のソース形成領域及び第2導電型ウエル領域内のソース・ドレイン形成領域の前記基板表層に第1導電型不純物をイオン注入し拡散させることで、前記第1導電型ウエル領域内のソース形成領域の比較的深い位置に形成された第2導電型層をこの第1導電型不純物の拡散で相殺すると共に、第2導電型ウエル領域内のソース・ドレイン形成領域に第1の第1導電型ソース・ドレイン領域を形成する工程と、

前記第1導電型ウエル領域上のLOCOS酸化膜以外の領域上に第1のゲート絶縁膜を形成すると共に前記第2導電型ウエル領域上のLOCOS酸化膜以外の

領域上に第2のゲート絶縁膜を形成する工程と、

前記第1及び第2のゲート絶縁膜上にそれぞれ第1及び第2のゲート電極を形成する工程と、

前記第1導電型ウエル領域上の第1のゲート電極及びドレイン形成領域上を被覆すると共に前記第2導電型ウエル領域上のソース・ドレイン形成領域上の一部に開口部を有するホトレジスト膜をマスクにして第1導電型不純物を注入し拡散することで前記第1のゲート電極の一端部に隣接するように第1導電型ボディー領域を形成すると共に、前記第2のゲート電極から離間された領域に第2の第1導電型ソース・ドレイン領域を形成する工程と、

前記第1導電型ウエル領域上のソース形成領域上に開口部を有するホトレジスト膜をマスクにして第2導電型不純物を注入して第1の第2導電型ソース領域を形成する工程と、

前記第1のゲート電極及び第2のゲート電極の側壁部にサイドウォールスペーサ膜を形成した後に第1導電型ウエル領域上のソース・ドレイン形成領域上に開口部を有するホトレジスト膜をマスクにして第1導電型不純物を注入して第2の第1導電型ソース・ドレイン領域を形成する工程と、

前記第2導電型ウエル領域上に少なくとも前記第2の第1導電型ソース・ドレイン領域よりも小さい開口部を有するホトレジスト膜をマスクにして第1導電型不純物を注入して第3の第1導電型ソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 前記低濃度の第2導電型層が、拡散係数の異なる2種類の第2導電型不純物と、この一方の第2導電型不純物の拡散係数とほぼ同程度かそれ以上の拡散係数を有する第1導電型不純物との拡散係数の差を利用して形成されていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第2の第1導電型ソース・ドレイン領域の濃度は、前記第1の第1導電型ソース・ドレイン領域の濃度よりも高く前記第3の第1導電型ソース・ドレイン領域の濃度よりも低い中濃度であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記第1のMOSトランジスタがNチャネル型のLDMO

Sトランジスタで、前記第2のMOSトランジスタがPチャネル型の高耐圧MOSトランジスタであることを特徴とする請求項5あるいは請求項6あるいは請求項7あるいは請求項8あるいは請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、例えば液晶駆動用IC等に利用される高電圧素子としてのLD (Lateral Double Diffused) MOSトランジスタ技術に関する。

【0002】

【従来の技術】

ここで、LDMOSTランジスタ構造とは、半導体基板表面側に形成した拡散領域に対して、導電型の異なる不純物を拡散させて、新たな拡散領域を形成し、これらの拡散領域の横方向拡散の差を実効チャネル長として利用するものであり、短いチャネルが形成されることで、低オン抵抗化に適した素子となる。

【0003】

図8は、従来のLDMOSTランジスタを説明するための断面図であり、一例としてNチャネル型のLDMOSTランジスタ構造について図示してある。尚、Pチャネル型のLDMOSTランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。

【0004】

図8において、1は一導電型、例えばP型の半導体基板で、2はN型ウエル領域で、このN型ウエル領域2内にP型ボディー領域3が形成されると共に、このP型ボディー領域3内にはN型拡散領域4が形成され、また前記N型ウエル領域2内にN型拡散領域5が形成されている。基板表面にはゲート絶縁膜6を介してゲート電極7が形成されており、このゲート電極7直下のP型ボディー領域3の表面領域にはチャネル領域8が形成されている。

【0005】

そして、前記N型拡散領域4をソース領域、N型拡散領域5をドレイン領域と

し、LOCOS酸化膜9A下のN型ウエル領域2をドリフト領域としている。また、10、11はそれぞれソース電極、ドレイン電極であり、12はP型ボディー領域3の電位を取るためのP型拡散領域で、13は層間絶縁膜である。

【0006】

上記LDMOSトランジスタにおいては、N型ウエル領域2を拡散形成することで、N型ウエル領域2表面での濃度が高くなり、N型ウエル領域2表面での電流が流れやすくなると共に、高耐圧化を図ることができる。そして、このような構成のLDMOSトランジスタは、表面緩和型(RESURF)LDMOSと呼ばれ、前記N型ウエル領域2のドリフト領域のドーパント濃度は、RESURF条件を満たすように設定されている。尚、このような技術は、特開平9-139438号公報等の開示されている。

【0007】

【発明が解決しようとする課題】

ここで、図9(a)に示すようなPチャネル型の高耐圧MOSトランジスタ(PchMOSTr)とNチャネル型のLDMOSトランジスタ(NchDMOSTr)とで、高耐圧化が図られたCMOS回路がある。尚、前記Pチャネル型の高耐圧MOSトランジスタは、図9(b)に示すように一導電型、例えばP型の半導体基板1に形成されたN型ウエル領域51上の基板表面にゲート絶縁膜56を介してゲート電極57が形成されており、このゲート電極57に隣接するように基板表層に低濃度のP型拡散領域54A、54Bが形成され、このP型拡散領域54A、54B内に高濃度のP型拡散領域55A、55Bが形成され、P型拡散領域54A、55Aをソース領域、P型拡散領域54B、55Bをドレイン領域としている。

【0008】

そして、このようなPチャネル型の高耐圧MOSトランジスタと前述したNチャネル型のLDMOSトランジスタとでCMOS構造を構成していた。

【0009】

しかしながら、従来のCMOS構造では、Nチャネル型のLDMOSトランジスタの製造プロセスを十分に活用しきれていなかった。従って、本発明ではNチ

チャネル型のLDMOSトランジスタの製造プロセスを十分に活用することで、製造工程数の増大を招くことなしに、Pチャネル型の高耐圧MOSトランジスタの特性の向上を可能とする半導体装置とその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

そこで、上記課題を解決するために本発明半導体装置は、ソース領域4、チャネル領域8及びドレイン領域5を有し、更に前記チャネル領域8上にゲート電極7が形成されており、前記チャネル領域8及びドレイン領域5間にN層22から成るドリフト領域を有するNチャネル型のLDMOSトランジスタ(A)と、ソース領域54、チャネル領域58及びドレイン領域55を有し、更に前記チャネル領域58上にゲート電極57が形成されて成るPチャネル型の高耐圧MOSトランジスタ(B)とを有するものにおいて、前記Nチャネル型のLDMOSトランジスタ(A)内のドリフト領域(N層22)が、少なくとも前記ゲート電極7下では浅く(第1のN層22A)、かつ前記ドレイン領域5近傍では深く(第2のN層22B)形成されていることを特徴とする。

【0011】

また、本発明半導体装置は、Nチャネル型のLDMOSトランジスタ(A)とPチャネル型の高耐圧MOSトランジスタ(B)とを有するものにおいて、前記Pチャネル型の高耐圧MOSトランジスタ(B)のソース・ドレイン領域54、55が、低濃度ソース・ドレイン領域54A、55Aと、高濃度ソース・ドレイン領域54B、55Bと、中濃度ソース・ドレイン領域54C、55Cとで形成されていることを特徴とする。

【0012】

更に、本発明半導体装置は、P型の半導体基板1上にNチャネル型のLDMOSトランジスタ(A)とPチャネル型の高耐圧MOSトランジスタ(B)とを有するものにおいて、前記Nチャネル型のLDMOSトランジスタ(A)は、前記基板内に形成されたP型ウエル領域21と、このP型ウエル領域21上に第1のゲート絶縁膜6を介して形成された第1のゲート電極7と、この第1のゲート電

極 7 に隣接するように形成された P 型ボディー領域 3 と、この P 型ボディー領域 3 内に形成された N 型ソース領域 4 並びにチャネル領域 8 と、前記 P 型ボディー領域 3 と離間された位置に形成された N 型ドレイン領域 5 と、前記チャネル領域 8 から前記ドレイン領域 5 にかけて、少なくとも前記第 1 のゲート電極 7 下では浅く、かつドレイン領域 5 近傍では深く形成された N-層 22 (ドリフト領域) とから構成され、

前記 P チャネル型の高耐圧 MOS トランジスタ (B) は、前記基板 1 内に形成された N 型ウエル領域 51 と、前記 N 型ウエル領域 51 上に第 2 のゲート絶縁膜 56 を介して形成された第 2 のゲート電極 57 と、この第 2 のゲート電極 57 に隣接するように低濃度の P 型ソース・ドレイン領域 54A, 55A と、高濃度の P 型ソース・ドレイン領域 54B, 55B と、中濃度の P 型ソース・ドレイン領域 54C, 55C とから構成されていることを特徴とする。

【0013】

また、本発明半導体装置の製造方法は、P 型ウエル領域 21 及び N 型ウエル領域 51 が形成された P 型半導体基板 1 上の前記 P 型ウエル領域 21 上の一部に開口部 31a を有するホトレジスト膜 31 を形成した後に、このホトレジスト膜 31 をマスクにして拡散係数の異なる 2 種類の N 型不純物 (例えば、ヒ素イオンとリンイオン) をイオン注入する。次に、前記基板 1 上のある領域にシリコン窒化膜 34 を形成した後に、このシリコン窒化膜 34 をマスクに選択酸化して LOCOS 酸化膜 9 を形成すると共に、前記ヒ素イオンとリンイオンのそれぞれの拡散係数の差から前記 P 型ウエル領域 21 内の比較的基板表層に N-層 22A を形成すると共に、比較的深い位置に N-層 22B を形成する。続いて、前記 P 型ウエル領域 21 内のソース形成領域上及び前記 N 型ウエル領域 51 内のソース・ドレイン形成領域上に開口部 39a を有するホトレジスト膜 39 をマスクにして P 型ウエル領域 21 内のソース形成領域及び N 型ウエル領域 51 内のソース・ドレイン形成領域の前記基板表層に P 型不純物 (例えば、ボロンイオン) をイオン注入し拡散させることで、前記 P 型ウエル領域 21 内のソース形成領域の比較的深い位置に形成された N-層 22B をこのボロンイオンの拡散で相殺すると共に、低濃度の P 型ソース・ドレイン領域 54A, 55A を形成する。次に、前記 P 型ウ

エル領域 21 上の LOCOS 酸化膜 9 以外の領域上に第 1 のゲート絶縁膜 6 を形成すると共に、前記 N 型ウェル領域 51 上の LOCOS 酸化膜 9 以外の領域上に第 2 のゲート絶縁膜 56 を形成し、この第 1 及び第 2 のゲート絶縁膜 6, 56 上にそれぞれ第 1 及び第 2 のゲート電極 7, 57 を形成する。また、前記 P 型ウェル領域 21 上の第 1 のゲート電極 7 及びドレイン形成領域上を被覆すると共に前記 N 型ウェル領域 51 上のソース・ドレイン形成領域上の一部に開口部 40a を有するホトレジスト膜 40 をマスクにして P 型不純物（例えば、ボロンイオン）を注入し拡散することで前記第 1 のゲート電極 7 の一端部に隣接するように P 型ボディ領域 3 を形成すると共に、前記第 2 のゲート電極 57 から離間された領域に中濃度の P 型ソース・ドレイン領域 54C, 55C を形成する。更に、前記 P 型ウェル領域 21 上のソース形成領域上に開口部 41a を有するホトレジスト膜 41 をマスクにして N 型不純物（例えば、リンイオン）を注入して低濃度の N 型ソース領域 4A を形成する。続いて、前記第 1 及び第 2 のゲート電極 7, 57 の側壁部を被覆するようにサイドウォールスペーサ膜 43 を形成した後に、前記 P 型ウェル領域 21 上のソース・ドレイン形成領域上に開口部 44a を有するホトレジスト膜 44 をマスクにして N 型不純物（例えば、ヒ素イオン）を注入して高濃度の N 型ソース・ドレイン領域 4B, 5B を形成する。そして、前記 N 型ウェル領域 51 上に少なくとも前記中濃度の P 型ソース・ドレイン領域 54C, 55C よりも小さい開口部 45a を有するホトレジスト膜 45 をマスクにして P 型不純物（例えば、二フッ化ボロンイオン）を注入して高濃度の P 型ソース・ドレイン領域 54B, 55B を形成する工程とを有することを特徴とする。

【0014】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参照しながら説明する。

【0015】

図 1 は本発明の半導体装置とその製造方法に係る一実施形態を説明するための断面図で、一例として N チャンネル型の LDMOS トランジスタ (A) と P チャンネル型の高耐圧 MOS トランジスタ (B) とから成る構成を示してある。尚、従来

構成と同等な構成については同符号を付して説明を簡略化する。

【0016】

図1において、1は一導電型、例えばP型の半導体基板で、21はP型ウエル領域で、このP型ウエル領域21内にN層22が形成されると共に、P型ボディー領域(PB)3が形成されている。また、前記P型ボディー領域3内にはN型拡散領域4が形成され、前記N層22内にN型拡散領域5が形成されている。基板表面にはゲート絶縁膜6を介してゲート電極7が形成されており、このゲート電極7直下のP型ボディー領域3の表面領域にはチャネル領域8が形成されている。

【0017】

更に、前記N型拡散領域4をソース領域、N型拡散領域5をドレイン領域とし、LOCOS酸化膜9下のN層22をドリフト領域として成るNチャネル型のLDMOSトランジスタ(A)が構成されている。尚、N型拡散領域4に隣接して前記P型ボディー領域3の電位を取るためのP型拡散領域12が形成されており、更に、前記P型ウエル領域21内に形成されたN層22は、ゲート電極7の下方で浅く形成され(第1のN層22A)、N型拡散領域(ドレイン領域)5近傍で深く形成されている(第2のN層22B)。このような構成を採用することで、前記Nチャネル型のLDMOSトランジスタ(A)は高耐圧化並びにオン抵抗の低減化が図られている。即ち、前記ゲート電極7の下方で浅く形成された第1のN層22Aの濃度は高く形成されており、オン抵抗が小さくなり電流が流れやすくなると共に、N型拡散領域(ドレイン領域)5近傍(ドリフト領域位置)の第2のN層22Bの濃度は低く形成されているので空乏層が拡大しやすくなり高耐圧化が図れる(図6に示す濃度分布図参照)。尚、本実施形態のNチャネル型のLDMOSトランジスタでは、およそ30V程度の耐圧を有している。

【0018】

また、51はN型ウエル領域で、このN型ウエル領域51上の基板表面にゲート絶縁膜56を介してゲート電極57が形成されており、このゲート電極57直下の表面領域にはチャネル領域58が形成されている。そして、前記ゲート電極

57に隣接するようにP型拡散領域54, 55が形成され、このP型拡散領域54をソース領域、P型拡散領域55をドレイン領域として成るPチャンネル型の高耐圧MOSトランジスタ(B)が構成されている。尚、前記P型拡散領域54, 55は、それぞれ低濃度のP型拡散領域54A, 55A、中濃度のP型拡散領域54C, 55C及び高濃度のP型拡散領域54B, 55Bとで形成されており、本実施形態のPチャンネル型の高耐圧MOSトランジスタでは、およそ30V程度の耐圧を有している。

【0019】

以下、図示した説明は省略するが、全面が層間絶縁膜で被覆された後に、前記N型拡散領域4, 5及びP型拡散領域54, 55にコンタクトするようにソース電極、ドレイン電極が形成されるものである。

【0020】

本発明の特徴は、上述したようなNチャンネル型のLDMOSトランジスタ(A)とPチャンネル型の高耐圧MOSトランジスタ(B)とを作り込み形成した際の、DMOSトランジスタ形成工程内のP型ボディー領域3を形成する工程のイオン注入工程と同一工程により、Pチャンネル型の高耐圧MOSトランジスタ(B)のP型拡散領域54, 55を構成する中濃度のP型拡散領域54C, 55C(LP)が形成されていることである。そして、このような中濃度のP型拡散領域54C, 55Cが形成されたことで、Pチャンネル型の高耐圧MOSトランジスタ(B)は、従来構成に比して低オン抵抗化が図られている。しかも、本工程は、Nチャンネル型のLDMOSトランジスタ(A)の製造工程内のイオン注入工程を援用しているため、いたずらに製造工数が増大するということはない。

【0021】

以下、上述した半導体装置の製造方法について図面を参照しながら説明する。

【0022】

図2(a)において、P型半導体基板1にはP型ウェル21及びN型ウェル51が形成されており、この上にパッド酸化膜30を形成した後に、P型ウェル領域21内に開口部31aを有するホトレジスト膜31をマスクにして後工程でドリフト領域と成るN層22を形成するための2種類のN型不純物(例えば、ヒ

素イオンとリンイオン)をイオン注入して、第1、第2のイオン注入層32、33を形成する。尚、本工程の注入条件は、例えば、ヒ素イオンをおよそ160 KeVの加速電圧で、 $3 \times 10^{12} / \text{cm}^2$ の注入量で、そしてリンイオンをおよそ50 KeVの加速電圧で、 $4 \times 10^{12} / \text{cm}^2$ の注入量で行う。

【0023】

次に、図2(b)において、前記基板1上に形成したシリコン窒化膜34をマスクにして前記基板表面を選択酸化しておよそ7300 Å程度の膜厚のLOCOS酸化膜9を形成すると共に、上述したように前記基板表層に注入しておいたヒ素イオンとリンイオンの拡散係数の差から前記ヒ素イオンが前記基板1内部に拡散されて比較的基板表層に第1のN層22Aが形成され、また前記リンイオンが前記基板1内部に拡散されて前記P型ウエル領域21内の比較的深い位置に第2のN層22Bが形成される。

【0024】

続いて、図3(a)において、前記P型ウエル領域21内のソース形成領域上及び前記N型ウエル領域51内のソース・ドレイン形成領域上の前記基板1上に開口部39aを有するホトレジスト膜39を形成した後に、このホトレジスト膜39をマスクにして前記P型ウエル領域21内のソース形成領域及び前記N型ウエル領域51内のソース・ドレイン形成領域の前記基板表層にP型不純物(例えば、ボロンイオン)をイオン注入し拡散することで、前記ソース形成領域の前記第2のN層22Bを形成するリンイオンをこのボロンイオンで相殺してこのソース形成領域の第2のN層22Bを消滅させると共に、前記Pチャネル型の高耐圧MOSトランジスタ(B)のソース・ドレイン形成領域に低濃度のP型拡散領域54A、55A(P-)を形成する。尚、本工程では、例えば、ボロンイオンをおよそ80 KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入量で注入した後、およそ1100℃で2時間熱拡散させることで、低濃度のP型拡散領域54A、55A(P-)はおよそ $1 \times 10^{17} / \text{cm}^3$ 程度の濃度を有する。ここで、図6は前述したヒ素イオン(実線で示す)とリンイオン(点線で示す)とボロンイオン(一点鎖線で示す)がそれぞれ拡散された際の不純物濃度分布を示す図で、図からわかるように基板のリンイオンを親とする濃度分布は、ボロンイオンを親

とする濃度分布と重合して相殺されることになる。

【0025】

このように本発明では、ドリフト領域を形成する際に拡散係数の異なるヒ素イオンとリンイオンの拡散係数の差を利用して、ソース形成領域側の基板深くに形成された第2のN層22Bを、後工程で注入されるボロンイオンを拡散させることで相殺して、このソース形成領域側には基板表層に形成された第1のN層22Aだけが残ることとなり、オン抵抗の低減化が図られたNチャネル型のLD MOSトランジスタ(A)を比較的簡単な製造工程で提供することができる。

【0026】

次に、図3(b)において、前記基板1上におよそ800Å程度の膜厚の第1、第2のゲート絶縁膜6、56を形成した後に、この第1のゲート絶縁膜6から前記LOCOS酸化膜9上にまたがるようにおよそ2500Å程度の膜厚のゲート電極7を形成すると共に、この第2のゲート絶縁膜56上に同じくおよそ2500Å程度の膜厚の第2のゲート電極57を形成する。

【0027】

続いて、図4(a)において、前記Nチャネル型のLD MOSトランジスタ(A)のゲート電極7及びドレイン形成領域を被覆し、更に前記Pチャネル型の高耐圧MOSトランジスタ(B)のソース・ドレイン形成領域上の一部以外を被覆するように形成した開口部40aを有するホトレジスト膜40をマスクにしてP型不純物(例えば、ボロンイオン)を注入し拡散することで前記ゲート電極7の一端部に隣接するようにP型ボディー領域3を形成すると共に、Pチャネル型の高耐圧MOSトランジスタ(B)のソース・ドレイン形成領域上の一部に中濃度のP型拡散領域54C、55C(LP)を形成する。尚、本工程は、例えば、ボロンイオンをおよそ40KeVの加速電圧で、 $5 \times 10^{13} / \text{cm}^2$ の注入量で注入した後、およそ1050℃で2時間熱拡散させることで、P型ボディー領域3及び中濃度のP型拡散領域54C、55C(LP)はおよそ $5 \times 10^{17} / \text{cm}^3$ 程度の濃度を有する。

【0028】

更に、図4(b)において、前記P型ボディー領域3内に形成するソース形成

領域上に開口部41aを有するホトレジスト膜41をマスクにしてN型不純物（例えば、リンイオン）を注入してNチャネル型のLDMOSトランジスタ（A）のソース領域を構成する低濃度のN型拡散領域4Aを形成する。尚、本工程は、例えば、リンイオンをおよそ40KeVの加速電圧で、 $3.5 \times 10^{13} / \text{cm}^2$ の注入量で注入する。

【0029】

続いて、図5（a）において、前記第1及び第2のゲート電極7，57の側壁部を被覆するようにサイドウォールスペーサ膜43を形成し、前記Nチャネル型のLDMOSトランジスタ（A）のソース・ドレイン形成領域上に開口部44aを有するホトレジスト膜44をマスクにしてN型不純物（例えば、ヒ素イオン）を注入してNチャネル型のLDMOSトランジスタ（A）のソース・ドレイン領域を構成する高濃度のN型拡散領域4B，5B（N⁺）を形成する。尚、本工程は、例えば、ヒ素イオンをおよそ80KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入量で注入する。

【0030】

更に、図5（b）において、前記P型ボディー領域3の電位を取るためのP型拡散領域形成位置である前記N型拡散領域4に隣接する位置上及びPチャネル型の高耐圧MOSトランジスタ（B）のソース・ドレイン形成領域上の一部（少なくとも前記中濃度のP型拡散領域54C，55C（LP）よりも小さいサイズ）に開口部45aを有するホトレジスト膜45をマスクにしてP型不純物（例えば、二フッ化ボロンイオン）を注入して、前記N型拡散領域4に隣接するP型拡散領域12を形成すると共に、Pチャネル型の高耐圧MOSトランジスタ（B）のソース・ドレイン形成領域に高濃度のP型拡散領域54B，55B（P⁺）を形成する。尚、本工程は、例えば、二フッ化ボロンイオンをおよそ60KeVの加速電圧で、 $4 \times 10^{15} / \text{cm}^2$ の注入量で注入することで、P型拡散領域12及び高濃度のP型拡散領域54B，55B（P⁺）はおよそ $5 \times 10^{19} / \text{cm}^3$ 程度の濃度を有する。

【0031】

以下、従来構成と同様に層間絶縁膜を形成した後に、層間絶縁膜を介してソー

ス電極、ドレイン電極を形成して半導体装置を完成させる。

【0032】

以上、説明したように本発明の半導体装置の製造方法では、前記ドリフト領域と成るN層22を形成する際に、拡散係数の異なるヒ素イオンとリンイオンと、このリンイオンの拡散係数とほぼ同程度かそれ以上の拡散係数を有するボロンイオンとの拡散係数の差を利用して形成しているため、製造工程が簡便である。また、このN層22を形成する際に注入するボロンイオンは、Pチャネル型の高耐圧MOSトランジスタ(B)のP型拡散領域54, 55を構成する低濃度のP型拡散領域54A, 55A(P-)を形成する工程のイオン注入工程と同一工程であるため、いたずらに製造工数が増大するということはない。

【0033】

更に、Nチャネル型のLDMOSトランジスタ(A)とPチャネル型の高耐圧MOSトランジスタ(B)とを作り込み形成した際の、LDMOSトランジスタ形成工程内のP型ボディー領域3を形成する工程のイオン注入工程と同一工程により、Pチャネル型の高耐圧MOSトランジスタ(B)のP型拡散領域54, 55を構成する中濃度のP型拡散領域54C, 55Cが形成されていることで、Pチャネル型の高耐圧MOSトランジスタ(B)は、従来構成に比して低オン抵抗化が図れる。しかも、本工程は、Nチャネル型のLDMOSトランジスタ(A)の製造工程内のイオン注入工程を援用しているため、いたずらに製造工数が増大するということはない。

【0034】

また、図7は本発明の他の実施形態を説明するための図であり、一実施形態と異なる特徴は、Pチャネル型の高耐圧MOSトランジスタ(B)のP型拡散領域64, 65を構成する低濃度のP型拡散領域64A, 65Aと高濃度のP型拡散領域64B, 65Bとの関係であり、低濃度のP型拡散領域64A, 65Aの形成深さよりも深い領域まで高濃度のP型拡散領域64B, 65Bが形成されており、一実施形態と同様にこの高濃度のP型拡散領域64B, 65Bよりも広く、かつ深く中濃度のP型拡散領域64C, 65Cが形成されているものである。

【0035】

【発明の効果】

本発明の半導体装置によれば、ドリフト領域と成る低濃度層が、少なくともゲート電極下では浅く、かつドレイン領域近傍では深く形成されることで、高耐圧化並びにオン抵抗の低減化が図れる。尚、このドリフト領域の形成工程は、拡散係数の異なるヒ素イオンとリンイオンと、このリンイオンの拡散係数とほぼ同程度かそれ以上の拡散係数を有するボロンイオンとの拡散係数の差を利用して形成しているため、製造工程が簡便である。また、このドリフト領域を形成する際に注入するボロンイオンは、Pチャネル型の高耐圧MOSトランジスタの低濃度のP型拡散領域を形成する工程のイオン注入工程と同一工程であるため、いたずらに製造工数が増大するということはない。

【0036】

更に、Nチャネル型のLDMOSトランジスタとPチャネル型の高耐圧MOSトランジスタとを作り込み形成した際の、DMOSトランジスタ形成工程を援用してPチャネル型の高耐圧MOSトランジスタの中濃度のP型拡散領域が形成され、このようなPチャネル型の高耐圧MOSトランジスタは、従来構成に比して低オン抵抗化が図れる。

【0037】

しかも、前記中濃度のP型拡散領域の形成工程は、Nチャネル型のLDMOSトランジスタの製造工程内のイオン注入工程を援用しているため、いたずらに製造工数が増大するということはない。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 6】

本発明のドリフト領域形成原理を説明するための各種イオンの濃度分布図である

。

【図 7】

本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図 8】

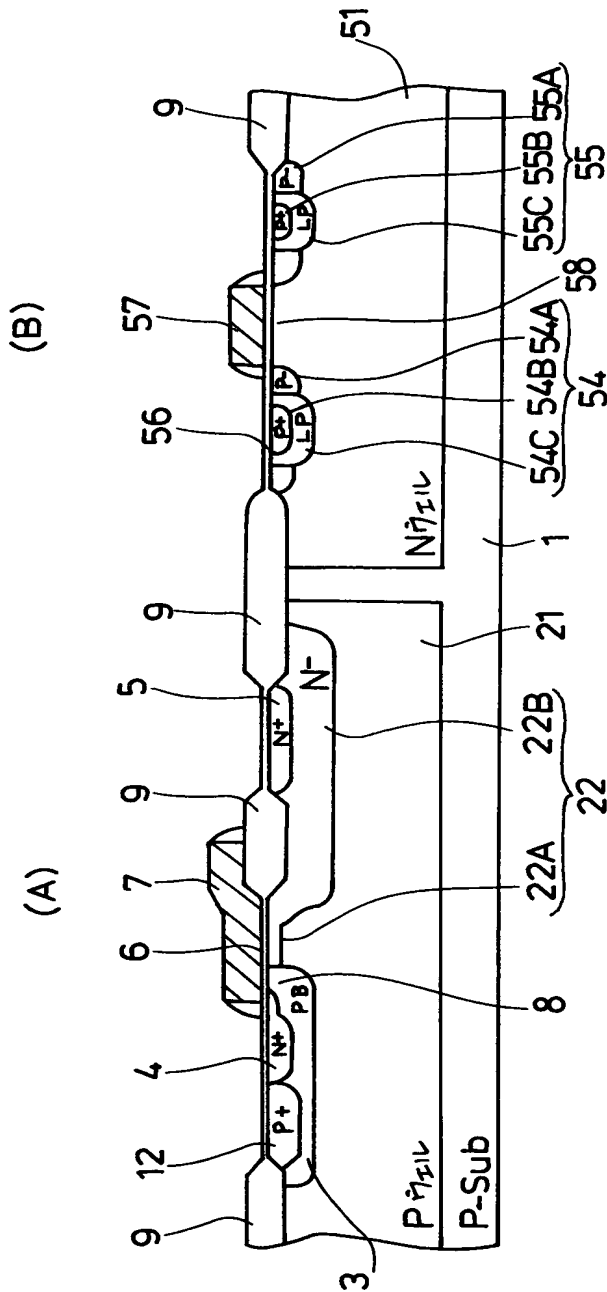
従来の半導体装置を示す図である。

【図 9】

従来の半導体装置を示す図である。

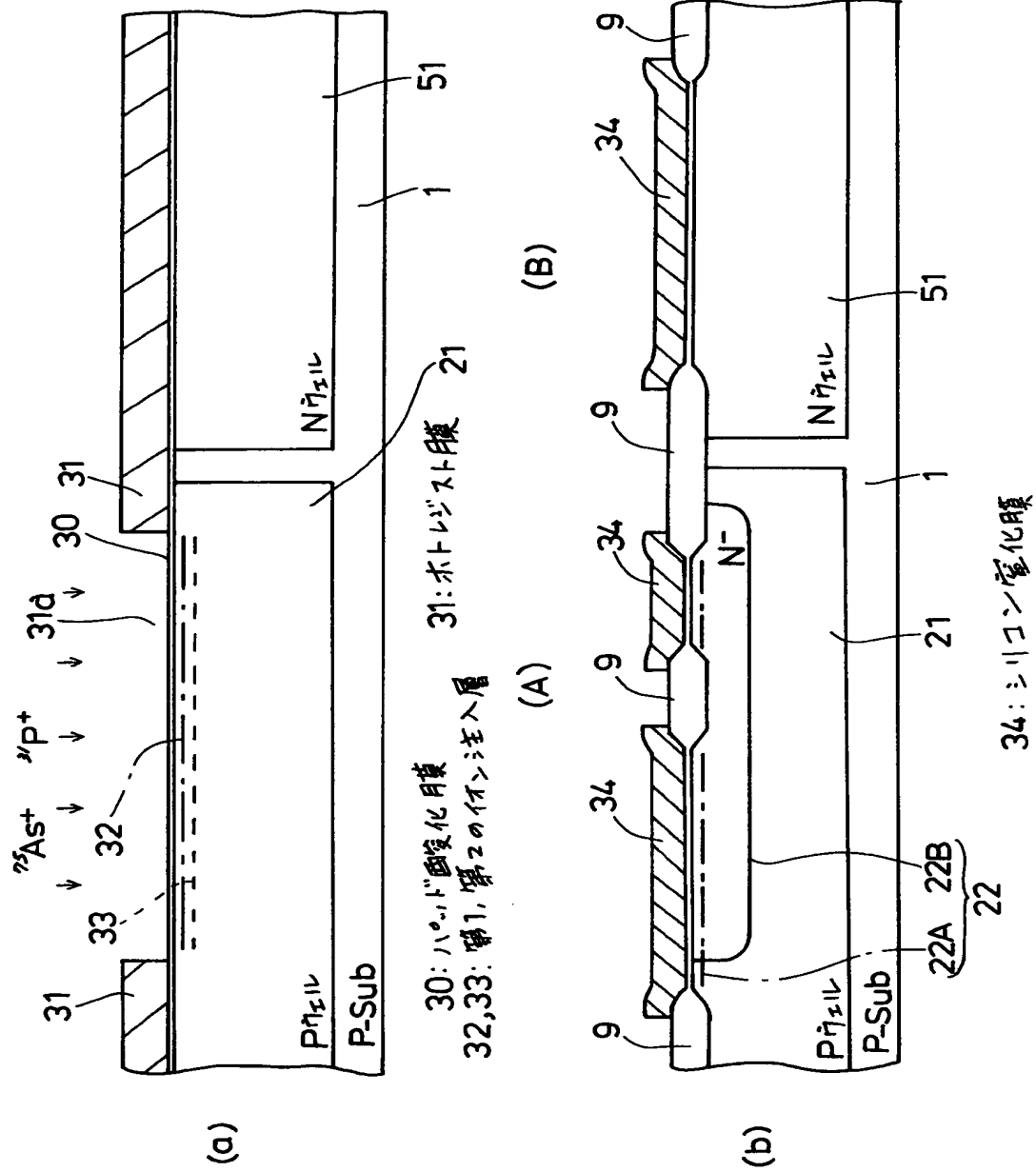
【書類名】 図面

【図 1】

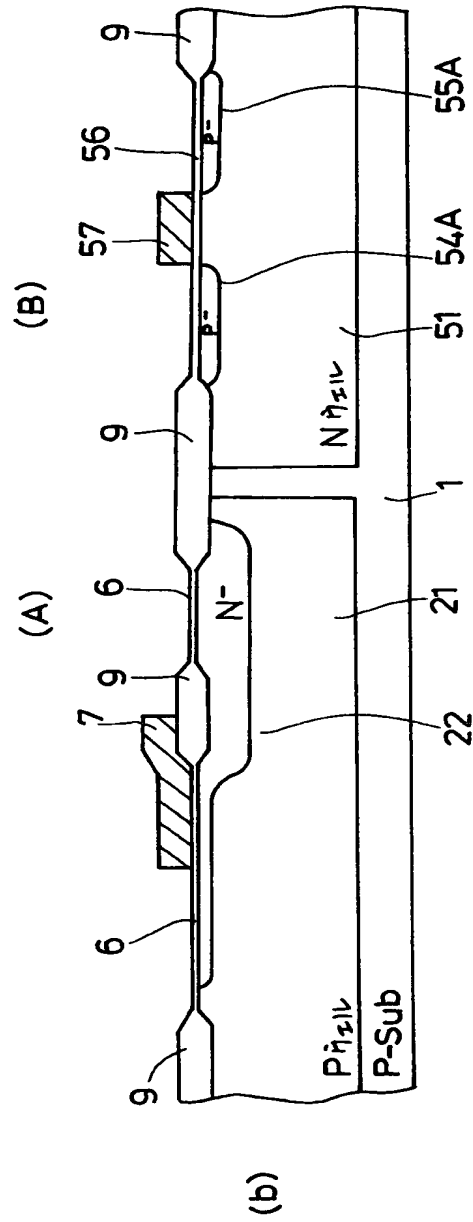
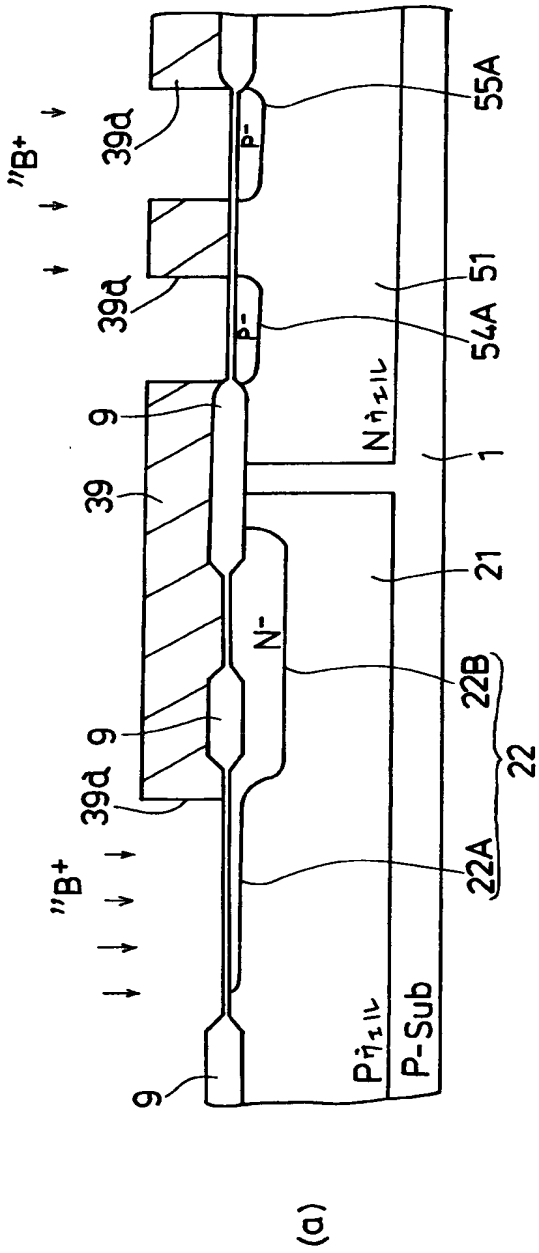


- 21: P型ウェル領域
 22A: 第1のN-層
 22B: 第2のN-層
 22C: N-層 (ドリフト領域)
 23: P型ウェル領域
 24, 25: P型拡散領域
 26: ドリフト絶縁膜
 27: ドリフト電極
 28: チャンネル領域
 29: N型ウェル領域
 30, 31: P型拡散領域
 32: ドリフト絶縁膜
 33: ドリフト電極
 34: チャンネル領域
 35: N型ウェル領域
 36, 37: P型拡散領域
 38: ドリフト絶縁膜
 39: ドリフト電極
 40: チャンネル領域
 41: N型ウェル領域
 42, 43: P型拡散領域
 44: ドリフト絶縁膜
 45: ドリフト電極
 46: チャンネル領域
 47: N型ウェル領域
 48, 49: P型拡散領域
 50: ドリフト絶縁膜
 51: ドリフト電極
 52: チャンネル領域
 53: N型ウェル領域
 54, 55: P型拡散領域
 56: ドリフト絶縁膜
 57: ドリフト電極
 58: チャンネル領域
 59: N型ウェル領域
 60, 61: P型拡散領域
 62: ドリフト絶縁膜
 63: ドリフト電極
 64: チャンネル領域
 65: N型ウェル領域
 66, 67: P型拡散領域
 68: ドリフト絶縁膜
 69: ドリフト電極
 70: チャンネル領域
 71: N型ウェル領域
 72, 73: P型拡散領域
 74: ドリフト絶縁膜
 75: ドリフト電極
 76: チャンネル領域
 77: N型ウェル領域
 78, 79: P型拡散領域
 80: ドリフト絶縁膜
 81: ドリフト電極
 82: チャンネル領域
 83: N型ウェル領域
 84, 85: P型拡散領域
 86: ドリフト絶縁膜
 87: ドリフト電極
 88: チャンネル領域
 89: N型ウェル領域
 90, 91: P型拡散領域
 92: ドリフト絶縁膜
 93: ドリフト電極
 94: チャンネル領域
 95: N型ウェル領域
 96, 97: P型拡散領域
 98: ドリフト絶縁膜
 99: ドリフト電極
 100: チャンネル領域

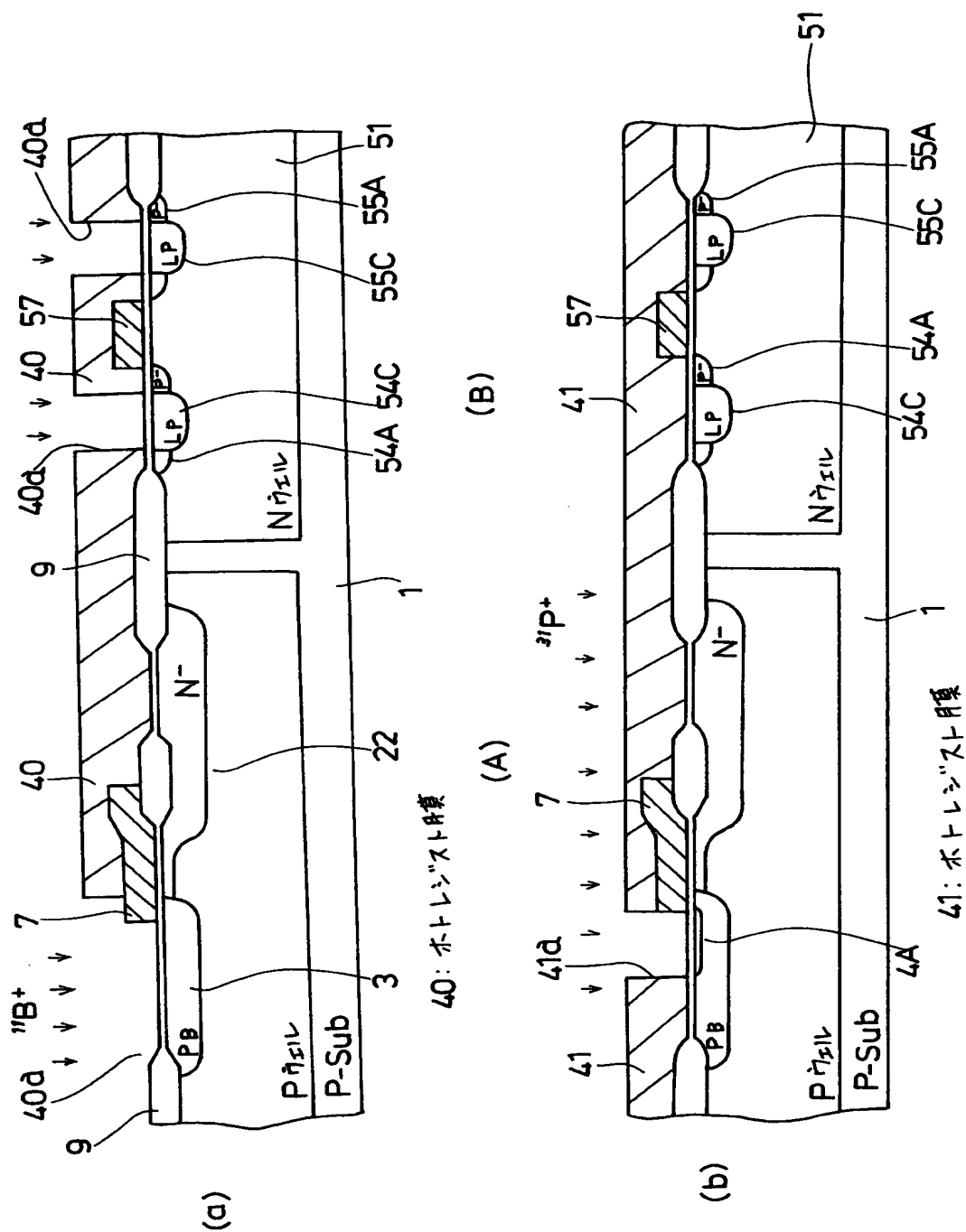
【図 2】



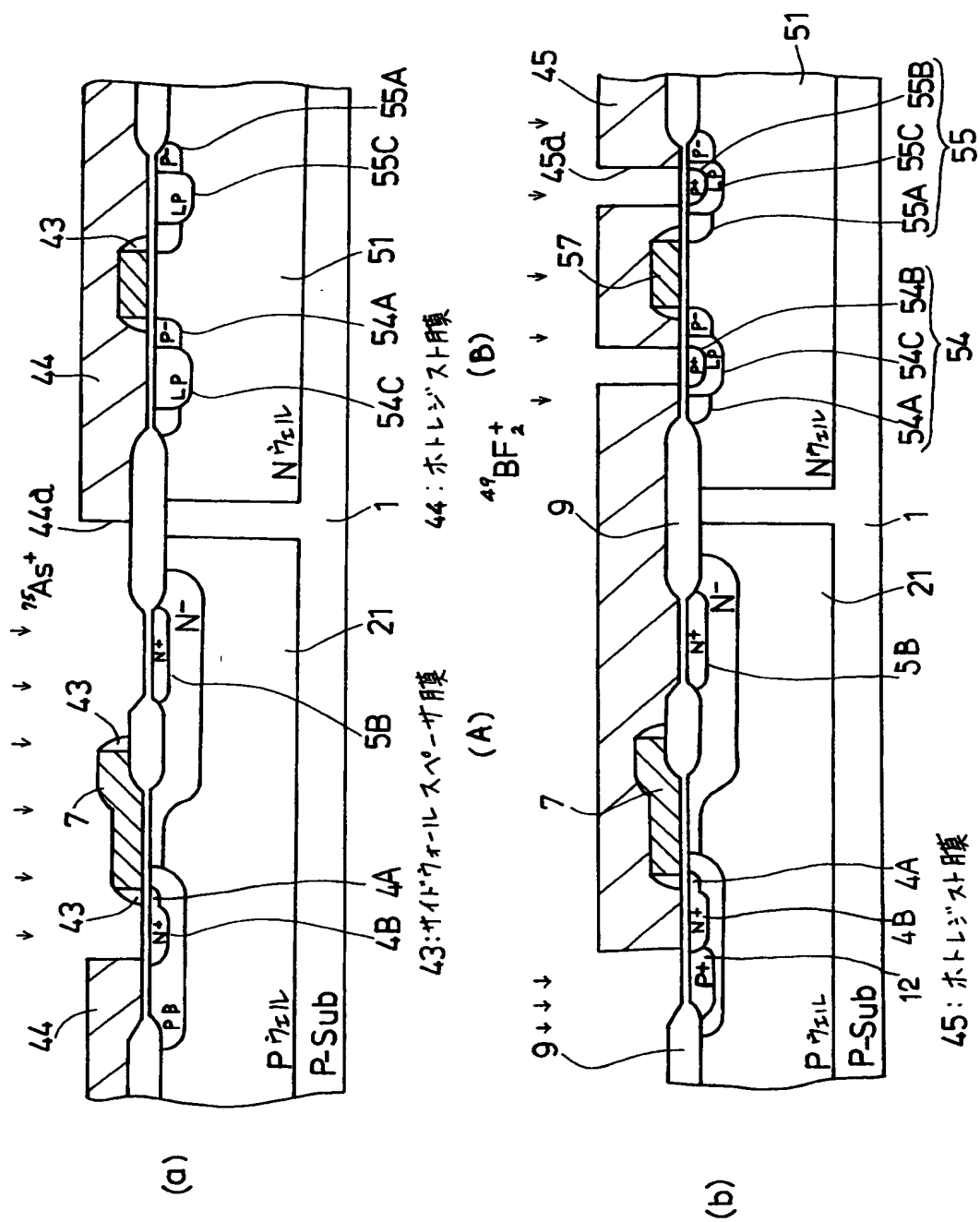
【図 3】



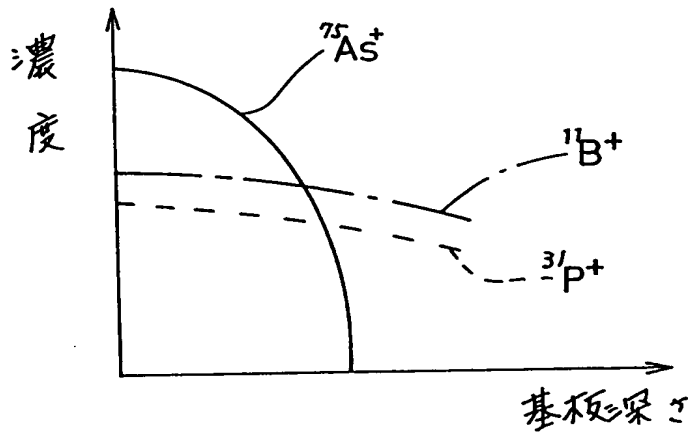
【図 4】



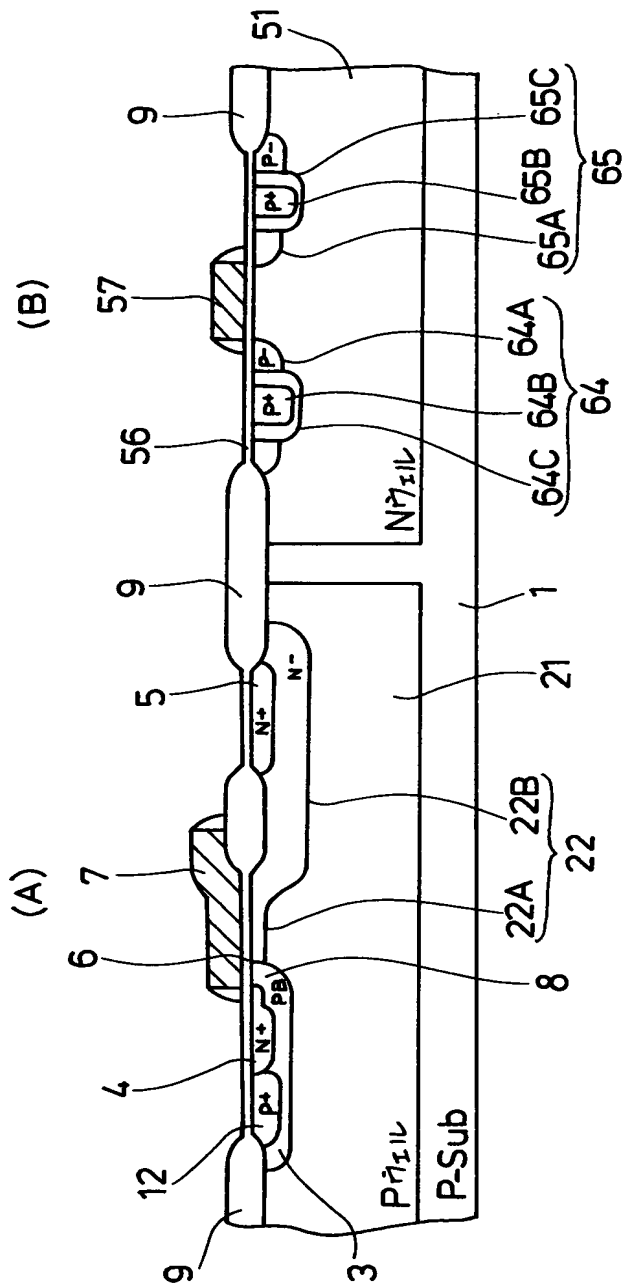
【図 5】



【図 6】

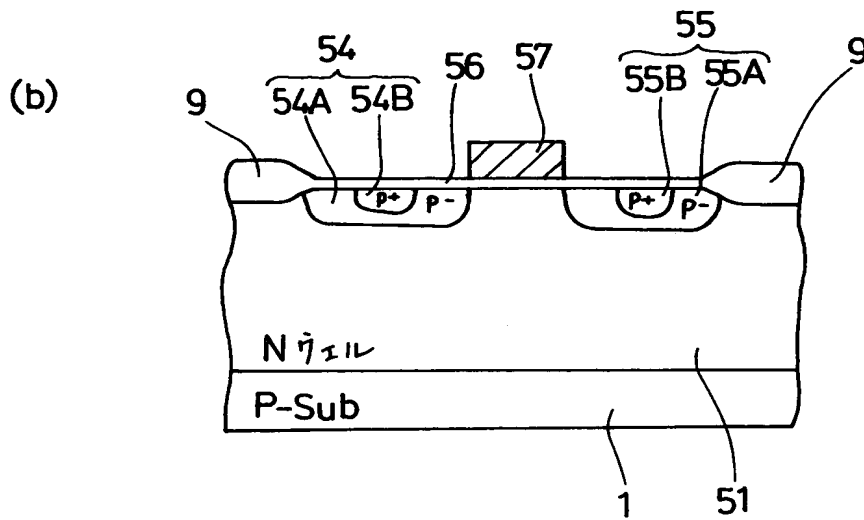
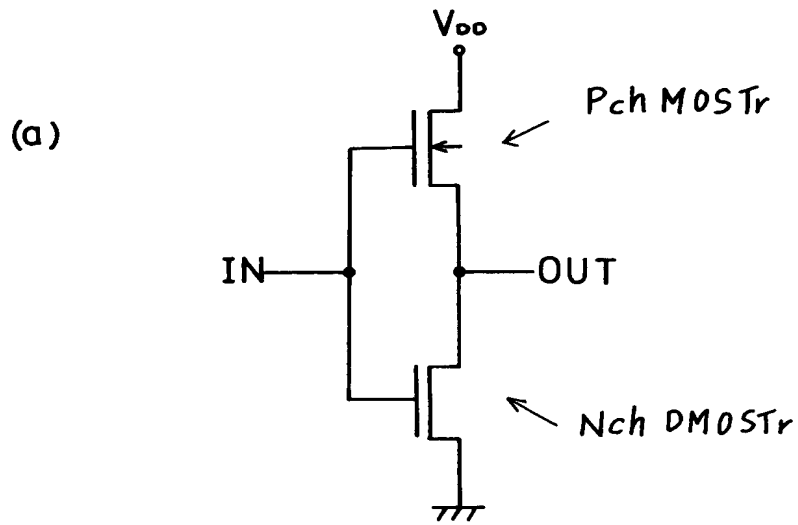


【图 7】



64,65: ノース・ドリン領域

【図9】



【書類名】 要約書

【要約】

【課題】 LDMOSトランジスタの製造プロセスを活用して高耐圧MOSトランジスタの特性の向上を図る。

【解決手段】 Nチャネル型のLDMOSトランジスタ（A）とPチャネル型の高耐圧MOSトランジスタ（B）とを有するものにおいて、前記Pチャネル型の高耐圧MOSトランジスタ（B）のソース・ドレイン領域54、55が、低濃度ソース・ドレイン領域54A、55Aと、高濃度ソース・ドレイン領域54B、55Bと、中濃度ソース・ドレイン領域54C、55Cとで形成されていることを特徴とする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001889

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

【氏名又は名称】 三洋電機株式会社

【代理人】 申請人

【識別番号】 100076794

【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機
株式会社 情報通信事業本部

【氏名又は名称】 安富 耕二

【選任した代理人】

【識別番号】 100107906

【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機
株式会社 半導体事業本部 事業推進統括部 知的
財産部

【氏名又は名称】 須藤 克彦

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社